

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant : Takashi OSHIMA *et al.*  
Serial No. : Unassigned  
Filed : 02 March 2004  
For : VARIABLE GAIN AMPLIFIER CIRCUIT  
AND GAIN CONTROL METHOD THEREOF  
Art Unit : Unassigned  
Examiner : Unassigned  
Conf. No. : Unassigned

**CLAIM FOR PRIORITY AND SUBMISSION OF PRIORITY DOCUMENT**

**Mail Room Patent Application**

Commissioner for Patents

POB 1450

Alexandria, Virginia 22313-1450

03 March 2004

Sir:

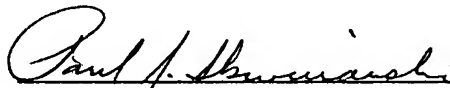
Applicant claims foreign priority under 35 USC §119 and 37 CFR §1.55 of

**JAPANESE PATENT APPLICATION JP2003-108720 FILED 14 APRIL 2003**

A certified copy of the priority document is submitted herewith.

Applicant respectfully requests written acknowledgment of the completion of requirements for the claim for priority under 35 USC §119 and 37 CFR §1.55.

Respectfully submitted,



Paul J. Skwierawski, Registration No. 32,173  
ANTONELLI, TERRY, STOUT & KRAUS, LLP  
1300 North Seventeenth Street, Suite 1800  
Arlington, Virginia 22209-3801, USA  
Telephone 703-312-6636  
Facsimile 703-312-6666

**Attachment:**

Certified Copy of JP2003-107820

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 4月14日

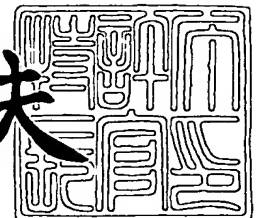
出願番号  
Application Number: 特願2003-108720  
[ST. 10/C]: [JP2003-108720]

出願人  
Applicant(s): 株式会社日立製作所

2004年 2月12日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3008649

【書類名】 特許願

【整理番号】 NT02P1006

【提出日】 平成15年 4月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H03G 3/30

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 大島 俊

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 土居 武司

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 麻殖生 健二

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 丘 維礼

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 利得可変増幅回路及びその利得制御方法

【特許請求の範囲】

【請求項 1】

複数の利得可変回路と、  
前記利得可変回路の各々に接続された各レベル検出回路と、  
前記利得可変回路の各々の利得をそれぞれ制御する各利得制御回路とを有する  
利得可変増幅回路であって、

前記各利得制御回路はそれぞれに接続された前記各レベル検出回路が検出した  
結果と前段に存在する一部または全ての他の利得制御回路から得た利得制御に関  
する情報とに基づいて、自身の設定すべき利得を決定することを特徴とする利得  
可変増幅回路。

【請求項 2】

受信した高周波信号を増幅する利得可変低雑音増幅器と、前記利得可変低雑音  
増幅器の出力を中間周波数に変換するミキサと、該ミキサの出力を増幅する利得  
可変回路とを備える受信回路であって、

前記利得可変低雑音増幅器の信号レベルを検出する第 1 のレベル検出回路と、  
前記利得可変低雑音増幅器の利得を制御する第 1 の利得制御回路と、  
前記利得可変回路の信号レベルを検出するための第 2 のレベル検出回路と、  
前記利得可変回路の利得を制御する第 2 の利得制御回路とが設けられ、  
前記第 1 の利得制御回路は、前記第 1 のレベル検出回路の検出結果に基づいて  
前記利得可変低雑音増幅器の利得を制御し、かつ、その利得制御に関する情報を  
前記第 2 の利得制御回路に与え、

前記第 2 の利得制御回路は、前記第 2 のレベル検出回路のレベル検出結果と前  
記利得制御に関する情報とに基づいて前記利得可変回路の利得を制御することを  
特徴とする受信回路。

【請求項 3】

請求項 2 に記載の受信回路において、  
前記利得可変回路は一つまたは複数の利得可変増幅器およびフィルタを具備し

て成り、

前記第 2 のレベル検出回路は前記利得可変増幅器の各々の入力信号レベルを検出し、

前記第 2 の利得制御回路は前記一つまたは複数の前記利得可変増幅器の利得を制御することを特徴とする受信回路。

【請求項 4】

請求項 3 に記載の受信回路において、

前記第 1 のレベル検出回路は、前記利得可変増幅器の入力部に接続されたレベル検出回路であることを特徴とする受信回路。

【請求項 5】

請求項 2 に記載の受信回路において、

前記利得可変回路は一つまたは複数の利得可変増幅器およびフィルタを具備して成り、

前記第 2 のレベル検出回路は前記利得可変増幅器の各々の出力信号レベルを検出し、

前記第 2 の利得制御回路は前記利得可変増幅器の各々の利得を制御することを特徴とする受信回路。

【請求項 6】

複数の利得可変増幅器と、

前記利得可変増幅器の各々の出力にそれぞれ接続された各フィルタと、

前記利得可変増幅器の各々にそれぞれ接続された入力レベルを検出するための各レベル検出回路と、

前記各レベル検出回路の出力結果に基いて前記各フィルタによる信号の減衰量を推定するフィルタ減衰量推定回路と、

前記フィルタ減衰量推定回路の推定結果および前記各レベル検出回路の出力結果に基づいて前記利得可変増幅器の各々の利得をそれぞれ制御する各利得制御回路とを具備して成ることを特徴とする利得可変増幅回路。

【請求項 7】

複数の利得可変増幅器と、

前記利得可変増幅器の各々の出力にそれぞれ接続された各フィルタと、  
前記利得可変増幅器の各々の入力部に接続された各レベル検出回路と、  
待機モード期間を利用して前記各レベル検出回路の検出結果に基づいて妨害波の減衰量を推定する妨害波減衰量推定回路と、

前記妨害波減衰量推定回路の推定結果を受信モード期間中保持する妨害波減衰量記憶回路と、

前記受信モード期間中に保持された妨害波の減衰量の情報と前記各レベル検出回路の検出結果とに基づいて前記利得可変増幅器の各々の利得をそれぞれ制御する各利得制御回路とを具備して成ることを特徴とする利得可変増幅回路。

【請求項 8】

請求項 6 または 7 に記載の利得可変増幅回路を具備して成ることを特徴とする受信回路。

【請求項 9】

複数の利得可変増幅器を具備して成る利得可変増幅回路の利得制御方法であって、

初段の利得可変増幅器に対しては、初段の出力レベルを検出して得られた出力レベル結果に基づいて利得制御を行い、

第 2 段以降の各利得可変増幅器に対しては、各利得可変増幅器自身の入力レベルを検出して得られた入力レベルと前記初段及び前段の利得制御情報とからそれぞれ自身の利得制御を行うことを特徴とする利得可変増幅回路の利得制御方法。

【請求項 10】

受信した高周波信号を増幅する利得可変低雑音増幅器と、前記利得可変低雑音増幅器の出力を中間周波数に変換するミキサと、該ミキサの出力を増幅する複数の利得可変増幅器を有する利得可増幅変回路とを備える受信回路の利得制御方法であって、

前記利得可変低雑音増幅器に対しては前記ミキサの出力信号レベルを検出して得られたミキサ出力レベルに基づいて利得制御を行い、

前記利得可変増幅器の各々に対しては各利得可変増幅器自身の入力レベルを検出して得られた入力レベルと前記利得可変低雑音増幅器及び前段の利得可変増幅

器の利得制御情報とからそれぞれ自身の利得制御を行うことを特徴とする受信回路の利得制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、利得可変増幅回路及びその利得制御方法に係り、特に高周波用の利得可変低雑音増幅器と低周波用の利得可変増幅器が存在する無線受信機用の集積回路（以下、ICと略す）に好適な、多段接続された低周波用の利得可変増幅器から成る利得可変増幅回路及びその利得制御方法に関する。

【0002】

【従来の技術】

図1に、従来の低中間周波（Low IF）アーキテクチャの無線受信機の一般的な構成を示す。アンテナ1より受信した高周波信号は、利得可変低雑音増幅器2により増幅された後、ミキサ4により局部発振回路（OSC）3からの参照波と混合され、低周波信号に変換される。さらに、この低周波信号は、通常複数の低周波用利得可変増幅器5、7、9とフィルタ（F）6、8を通った後（所要レベルまで増幅するために、低周波用利得可変増幅器とフィルタの一組を1段として低周波信号をST1，……，STnのn段の増幅器で構成される）、AD変換器（AD）10によりデジタル信号に変換され、復調器（DEM）11により通信データが復調される。

【0003】

また、利得可変低雑音増幅器2の代わりに、利得が固定の低雑音増幅器も広く利用されている。しかし、最近のICの低電源電圧化にともない、低雑音増幅器の線形増幅領域が狭くなっているため、利得可変機能を持たせて、例えば、入力信号レベルが大きいときは利得を小さくして、その出力振幅範囲を抑制する方が有利となる。また、低周波用の各利得可変増幅器5、7、9は、AD変換器10の入力レベルが所定値になるように、信号レベルを調整する。なお、図1には、利得可変低雑音増幅器2や利得可変増幅器5、7、9の利得を制御する回路は特に記載していない。



## 【0004】

図2に、無線通信で実際に使用される典型的な信号波形を示す。利得可変低雑音増幅器2および利得可変増幅器5の入力波形は、共に図2に示すような波形であるが、前者の増幅器は通常数GHz程度の高周波であるのに対して、後者の増幅器はミキサ4で低周波に変換された後の波形であるので、通常数MHz程度である。

## 【0005】

図2に示すように、データ期間T3の前に、波形立ち上がり期間T1とデータ受信の準備期間T2がある。利得可変低雑音増幅器2や利得可変増幅器5、7、9は、上記の波形立ち上がり期間T1と受信準備期間T2を利用して、最適な利得に制御され、データ期間T3中はそれを保持する必要がある。

## 【0006】

しかし、一般に受信準備期間T2として規定されている時間は短く、例えば短距離データ通信の規格（IEEE802.15.1）では4 $\mu$ sしかない。したがって、これら各増幅器の利得を短期間で最適値に制御する方法が必要となる。

## 【0007】

従来、図3に示すように、制御信号C1に応じて利得を可変する低雑音増幅器31、入力RF（高周波）信号を局部発振信号33と混合して中間周波信号に変換すると共に制御信号C2に応じて利得を可変して中間周波信号を出力するミキサ32、制御信号C3に応じて利得を可変する低周波用の利得可変増幅器34、利得可変増幅器34の出力に応じて制御信号C1、C2、C3を生成する制御回路35から構成される受信回路及び受信利得制御方法が知られている（例えば、特許文献1参照）。

## 【0008】

この従来例は、低周波用の利得可変増幅器34の出力レベルを検出し、その結果に基づいて制御回路35が、低雑音増幅器31、ミキサ32、利得可変増幅器34の各利得を最適値に制御している。

## 【0009】

また、同様な構成は、フィリップスセミコンダクター社の無線LANチップの

受信回路にも見られる（非特許文献 1 参照）。

【0 0 1 0】

【特許文献 1】

特開 2 0 0 2 - 0 1 6 4 6 2 号公報

【非特許文献 1】

ISSCC2001/SESSION13/WIRELESS LAN/13.5, VISUALS SUPPLEMENT p.164

【0 0 1 1】

【発明が解決しようとする課題】

しかし、前記特許文献 1 の場合は、利得可変増幅器 3 4 の出力レベルを検出するだけであり、ミキサ 3 2 の出力レベルは検出しない。したがって、例えば、制御回路 3 5 が利得可変増幅器 3 4 の出力の飽和を検出したとしても、ミキサ 3 2 の出力の時点で既に飽和していたのかどうかの判断ができない。その結果として、制御回路 3 5 は、低雑音増幅器 3 1 やミキサ 3 2 の利得を下げるべきかどうかの判断ができず、利得設定を試行錯誤で繰り返すので、利得制御が最終的に収束するまでに時間がかかってしまうと考えられる。非特許文献 1 の場合も同様である。

【0 0 1 2】

したがって、従来の利得可変増幅器の利得制御方法では、全体の利得が収束するまでに時間がかかるため、データ受信準備期間の短い通信システムでは利得制御が間に合わない可能性がある。

【0 0 1 3】

そこで、本発明の目的は、無線受信機用 IC に好適な複数の利得可変増幅器から成る利得可変増幅回路、及びその利得を高速に最適値に制御する利得制御方法を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

開示される本発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、本発明に係る利得可変増幅回路は、複数の利得可変増幅器から構成され、初段の利得可変増幅器に対して初段の出力レベルを検出する出力レベ

ル検出回路と、この出力レベル検出結果を入力とする第 1 の利得制御回路が設けられ、第 2 段以降の各利得可変増幅器に対しては、入力レベルを検出する入力レベル検出回路と、この入力レベル検出結果及び初段と前段の利得可変増幅器の利得制御情報とを入力とする第 2 の利得制御回路がそれぞれ設けられていることを特徴とする。

#### 【 0 0 1 5 】

また、本発明に係る利得可変増幅回路の利得制御方法は、初段の利得可変増幅器は自身の出力レベルに基いて利得制御を行い、第 2 段以降の各利得可変増幅器は初段の利得制御情報および前段の利得制御情報と自身の入力レベル検出結果とから自身の利得可変増幅器の設定すべき利得を決定して自身の利得を制御することを特徴とする。このような利得制御を行うことにより、利得可変増幅回路全体の利得制御の収束時間を短縮できる。

#### 【 0 0 1 6 】

#### 【発明の実施の形態】

次に、本発明の好適な実施形態につき、添付図面を参照しながら以下詳細に説明する。

#### 【 0 0 1 7 】

#### <実施形態 1>

図 4 は、本発明の第 1 の実施形態を示すブロック回路図であり、図 1 の低中間周波アーキテクチャの受信回路におけるミキサ後段から A/D 変換器前までの複数段の低周波用利得可変増幅器に相当する部分を示している。図 4 に示すように、本実施形態の利得可変増幅回路は、利得可変回路 (VGA) 4 1、4 2、4 3 と、それらに接続されたレベル検出回路 (LV) 4 4、4 5、4 6 と、各レベル検出回路の出力結果に基いて、各利得可変回路 4 1、4 2、4 3 の利得を制御する利得制御回路 (GCTL) 4 7、4 8、4 9 とから構成される。

#### 【 0 0 1 8 】

ここで、利得可変回路 4 1～4 3 は、単純な 1 段の利得可変増幅器であってもよいし、多段の利得可変増幅器やフィルタからなる複雑な構成を持っていてもよい。また、各レベル検出回路 4 4～4 6 の入力は、各利得可変回路 4 1～4 3 の

入力部、出力部、あるいは内部のいずれのノードに接続されていてもよい。一つの利得可変回路が複数の利得可変増幅器を内部に含む場合は、そのレベル検出回路は、それに対応して複数のノードのレベルを検出し、また、利得制御回路はその結果に基づいて複数の利得制御を上記利得可変回路に返すことができる。

なお、図4では利得可変回路が3段の場合の構成であるが、任意の段数をとってもよい。

#### 【0019】

本構成の著しい特徴は、図4に示すように、各利得制御回路は、その前段に存在する他の利得制御回路から得た利得制御情報に基づいて自らの設定すべき利得を決定することにある。例えば、利得制御回路48は、その前段に存在する利得制御回路47から利得制御に関する情報を得る。また、利得制御回路49は、その前段にある利得制御回路47、48から利得制御情報を得る。

#### 【0020】

図5乃至図7により、本発明の有効性について説明する。図5は、図4において利得可変回路が2段で、かつ各利得可変回路が単純な1段の利得可変増幅器で構成される場合である。図5に示すように、この2段の利得可変回路は、第1の利得可変増幅器51、第2の利得可変増幅器52、第1のレベル検出回路44、第2のレベル検出回路45、第1の利得制御回路47、第2の利得制御回路48から構成される。

各レベル検出回路44、45および各利得制御回路47、48は、所定の基準クロックに同期して動作すると仮定する。また、第1の利得可変増幅器51は、第1のレベル検出回路44の検出した結果が所定の閾値を越えるか否かにより、2通りの利得の内的一方を与えられるものとし、第2の利得可変増幅器52の利得は、第2のレベル検出回路45の結果に応じて比較的細かく制御できるものとする。

#### 【0021】

入力信号は図2に示すような立ち上がり波形をとるので、第2の利得可変増幅器52の利得G2は、図6や図7に示されるように、次第に小さい値に制御されて行き、時刻t0で一定値に達する。一方、第1の利得可変増幅器51の利得G

1 は、最初は高い方の値に設定されているが、入力波形の立ち上がりに伴い第 1 のレベル検出回路 44 の出力結果が所定の閾値を越えた時刻  $t_1$  に、第 1 の利得制御回路 47 により低い値に制御される。

#### 【0022】

この時、第 1 の利得制御回路 47 は、利得減少の情報を第 2 の利得制御回路 48 に伝達し、第 2 の利得制御回路 48 は、その情報と第 2 のレベル検出回路 45 の結果に基づいて、第 2 の利得可変増幅器 52 の利得  $G_2$  を制御する。

#### 【0023】

例えば、第 1 の利得制御回路 47 が第 1 の利得可変増幅器 51 の利得  $G_1$  を 8 dB 下げた時は、第 2 の利得制御回路 48 は、その情報に基いて第 2 の利得可変増幅器 52 の利得  $G_2$  を 8 dB 増加させることにより、図 7 に示すように、時刻  $t_1$  で、すぐに利得制御を完結できる。

#### 【0024】

一方、第 1 の利得制御回路 47 の利得制御情報を第 2 の利得制御回路 48 に伝達しない従来の制御方法では、図 6 に示したように、時刻  $t_1$  には完結できず、1 サイクル後の時刻  $t_2$  で利得制御が終了する。

#### 【0025】

なお、ここでは簡単のために 2 段の回路構成で説明したが、一般に、図 4 において  $n$  段の利得可変回路および利得制御回路から構成される場合には、本実施形態のように前段に存在する利得制御回路の利得制御情報を後段の利得制御回路に伝えて、後段の利得を決定する制御方法では、時刻  $t_1$  で利得制御が収束するのに対して、従来の制御方法では時刻  $t_1$  の  $(n-1)$  サイクル後に利得制御が収束することになるので、所定の受信準備期間内に利得制御を終了させることが困難となる。

#### 【0026】

ここで、レベル検出回路 LV と利得制御回路 GCTL の構成例の一例について説明する。図 15 は、レベル検出回路の構成例である。レベル検出回路は、ピークホールド回路 PH と、基準電圧  $V_{ref}$  と接地間に複数の抵抗が直列接続された抵抗回路と、各抵抗接続ノードの電圧とピークホールド回路 PH の出力とを比較する複数の比

較器CMPと、各比較器の出力をデジタル値のレベルコードLVCとして出力するデコーダDECとから構成される。各抵抗値の比は、入力レベルがデシベルに変換されるような比に設定する。比較器の数は、レベルの必要な検出精度に応じて決めればよい。多ければ多いほど細かいレベルで検出できるが、トランジスタ数と消費電力が増えることを考慮する必要がある。

#### 【0 0 2 7】

入力信号INは、ピークホールド回路PHにおいて、そのピークレベル値が保持される。なお、図16に示す回路例の場合、Vrefを基準として低電圧方向に信号レベル値が保持される。すなわち、保持電圧=Vref-信号レベル値となる。保持電圧は、各比較回路において抵抗回路の各ノードの電圧と比較され、各比較回路はノードの電圧より大きければ“1”、小さければ“0”を出力し、その各出力から信号レベルのデシベル値に比例した数の“0”が連続して出力され、デコーダDECに入力される。例えば、図15では“00”がデコーダに入力され、これがピーク値6 dBに相当する時とする。デコーダでは入力された“00”を予め設定された“0”の数とデシベル値の関係に基づいてデジタル値のレベルコード(LVC)に変換して出力する。例えば、デコーダ出力を2進4ビットとすれば、ピーク値6 dBに相当するレベルコード“0110”を出力する。このレベル検出回路の抵抗回路部からデコーダまでの回路構成は、一般的に知られているフラッシュADC（アナログ・デジタル変換器）の入力部と同じ構成であり、CMOSデバイスを用いて構成できる。

#### 【0 0 2 8】

図16にピークホールド回路の概略構成を示し、ホールド容量Cを含む図中に点線で示した部分の詳細回路を図17に示す。このピークホールド回路PHは、リセット端子RSTが、ロー(Low)の時にリセット(トラック)動作をし、ハイ(High)の時にホールド動作を行う。図17に示したように、ピークホールド回路はCMOSデバイスを用いて構成できる。また、比較器CMPは+端子に入力される電圧が、-端子よりも高い場合に、出力OUTがハイになるように動作する図18に示したようなシンプルな2段構成の回路でよい。尚、図17と図18において、IsはMOS電流源、VDDは高電位側電源電圧である。このように、レベル検出回路は全

てCMOSデバイスで構成可能である。

#### 【0029】

図19は、図4の利得制御回路(GCTL)の構成例である。ここでは利得可変回路(VGA)42を制御する利得制御回路48を例にして説明する。利得制御回路は、利得演算回路部G\_calc、利得補正回路部G\_comp、ラッチLAT、引算回路部SBTから構成される。

#### 【0030】

利得演算回路部G\_calcは、レベル検出回路45からの4ビットのレベルコードLVCを受け、目標レベルとの引算を行い、利得コードGCを出力する。すなわち、利得コードGC[dB] = 目標レベル[dB] - LVC[dB]の演算を行う。なお、ここで目標レベルとは、予め利得可変増幅回路を設計する時に、各利得可変回路に対して設定された各利得可変回路の目標出力レベルのことである。

#### 【0031】

利得補正回路部G\_compは、利得コードGCと、前段の利得制御回路47からの利得制御情報である前段利得増加分INF\_ΔG1との引算を行って利得補正を行い、最終利得コードFGCを出力する。すなわち、最終利得コードFGC = 利得コードGC[dB] - INF\_ΔG1[dB]の演算を行う。前段利得増加分INF\_ΔG1は、前段の利得可変回路の利得が今回の制御で何dB変化するかの情報に相当する。

#### 【0032】

最終利得コードFGCは、図19では利得可変回路(VGA)42と、ラッチLATと、引算回路部SBTへ入力されているが、まだラッチLATは前回の最終利得コードFGC(bf)を記憶しており、この時点では、最終利得コードFGCはまだラッチされない。

#### 【0033】

利得可変回路42の利得は、利得制御回路48の出力である最終利得コードFGCの利得値となるように制御される。また、引算回路部SBTへ入力された最終利得コードFGCは、ラッチに保存されていた前回の利得コードFGC(bf)と引算され、今回の利得変化分の利得制御情報INF\_ΔG2[dB]として後段の利得制御回路49へ伝えられる。この時点で、ラッチは今回の最終利得コードFGCを取り込み記憶する。なお、このようなラッチの取り込みタイミングの制御は、図示しないがタ

イミシング生成回路からのクロック信号を用いて行えばよい。

#### 【0034】

##### <実施形態2>

図8に、本発明の第2の実施形態を示す。本実施形態は、図に示すように、ミキサ82の出力レベルを第1のレベル検出回路(LV)44で検出し、第1の利得制御回路(GCTL)47は、その結果に基づいて利得可変低雑音増幅器81の利得を制御する。一方、第2のレベル検出回路45は、利得可変回路(VGA)84の入力部、出力部、あるいは内部の一つまたは複数のノードの信号レベルを検出し、第2の利得制御回路48は、そのレベル結果と第1の利得制御回路47から得られる利得制御情報に基づいて利得可変回路84の利得を制御する。

#### 【0035】

##### <実施形態3>

図9に本発明の第3の実施形態を示す。本実施形態は、図8に示した実施形態とは、利得可変回路84部分の構成がより具体的な構成で示されている点が相違する。すなわち、図9に示すように、利得可変回路は、利得可変増幅器91、93、フィルタ92により構成される。また、各利得可変増幅器91、93の入力部にはレベル検出回路94、95が接続されており、各利得可変増幅器91、93の入力部の信号レベルを検出できるようになっている。

#### 【0036】

第2の利得制御回路48は、レベル検出回路94、95の結果と第1の利得制御回路47から得た利得制御に関する情報に基づいて、利得可変増幅器91、93の利得を制御する。なお、本実施形態では利得可変増幅器2段、フィルタ1段の構成であるが、これらの段数や配置構成に限るものではなく、必要に応じて変更してもよいことは言うまでもない。

#### 【0037】

また、図10に示すように、図9に示したレベル検出回路44を、レベル検出回路94に兼ねさせてもよい。

#### 【0038】

##### <実施形態4>



図 11 に、本発明の第 4 の実施形態を示す。本実施形態は、図 9、図 10 に示した構成とは異なり、第 2 のレベル検出回路 45 は低周波部の出力側に接続され、そのレベル検出結果に基づいて、第 2 の利得制御回路 48 は各利得可変増幅器 112、113 の利得を制御する。

#### 【0039】

このような構成とすることにより、利得可変増幅器 112、113 の前段のフィルタ 111 で妨害波が十分に抑圧されるので、実施形態 3 と比べて利得可変増幅器 112、113 に高い線形性を要求されないという利点がある。

#### 【0040】

##### <実施形態 5>

図 12 に本発明の第 5 の実施形態を示す。本実施形態は、各利得制御に関する情報を次段の利得制御回路に反映させて全体の利得収束時間を短縮すると共に、フィルタによる信号の減衰量を推定して、多段接続された各利得可変増幅器に入力される希望波と妨害波の合計が、入力ダイナミックレンジと等しくなるように制御可能にするものである。

#### 【0041】

本実施形態の構成は、利得可変増幅器 121、123、125 と、フィルタ (F) 122、124、126 と、これらの各利得可変増幅器の入力部に接続されたレベル検出回路 (LV) 127、128、129 と、これらの各レベル検出回路の出力に接続されたフィルタ減衰量推定回路 (PRE-LVF) 1211 と、利得制御回路 (GCTL) 1210 とから構成される。

#### 【0042】

フィルタ減衰量推定回路 1211 は、各フィルタによる信号レベルの減衰量を推定するために用いられる。一般に、入力信号中には、未知の量および未知の周波数の妨害波が含まれるため、各フィルタによる信号の減衰量は事前に予測できない。これに対して本実施形態におけるフィルタ減衰量推定回路 1211 は、例えばレベル検出回路 127 と 128 のレベル検出結果から、フィルタ 122 による実際の信号の減衰量を、後述するように推定できるので、その推定結果とレベル検出回路 127 の検出結果に基づいて利得可変回路 121 の利得を決定するこ

とができる。

#### 【0043】

例えば、入力信号中に希望波しか含まれていない場合は、フィルタ122による信号レベルの減衰は無く、また、フィルタ減衰量推定回路1211は、レベル検出回路127、128の検出結果からそのことを実際に推定できるので、利得制御回路1210は、利得可変増幅器121の出力レベルが次段の利得可変増幅器123の入力ダイナミックレンジを越えないように、その利得を制御する。

#### 【0044】

逆に、入力信号中に多くの妨害波が含まれる場合、例えばフィルタ122により信号レベルが10dB減衰したとすると、フィルタ減衰量推定回路1211は実際にその減衰量を検出結果から推定することができるので、利得制御回路1210は、利得可変増幅器121の出力が次段の利得可変増幅器123の入力ダイナミックレンジより10dB大きいレベルを越えないように、その利得を制御する。ただし、その結果として利得可変増幅器121の出力が飽和してしまう場合は、飽和を避けるために利得を抑制する。

#### 【0045】

図20を用いて、フィルタ減衰量推定回路について説明する。フィルタ減衰量推定回路1211は、2つのフィルタ減衰量演算部1, 2から構成され、フィルタ減衰量演算部1 (F\_ATT\_calc1) は、レベル検出回路127のレベルコード出力LVC127と、レベル検出回路128のレベルコード出力LVC128と、利得可変増幅器121の前の最終利得コードFGC121(bf)からフィルタ122の減衰量F\_ATT122を推定する。フィルタ減衰量演算部2 (F\_ATT\_calc2) はレベル検出回路128のレベルコード出力LVC128と、レベル検出回路129のレベルコード出力LVC129と、利得可変増幅器123の前の最終利得コードFGC123(bf)からフィルタ124の減衰量F\_ATT124を推定する。

#### 【0046】

すなわち、フィルタ減衰量演算部1では、フィルタ減衰量 $F\_ATT122 [dB] = LVC127 [dB] + FGC121(bf) [dB] - LVC128 [dB]$ の演算を行う。また、フィルタ減衰量演算部2では、フィルタ減衰量 $F\_ATT124 [dB] = LVC128 [d$

B] + FGC123(bf) [dB] - LVC129 [dB] の演算を行う。なお、利得可変回路とフィルタの段数がN段の場合には、N-1個のフィルタ減衰量演算部を設けて同様の演算を行えばよい。

#### 【0047】

なお、図12では利得制御回路1210からフィルタ減衰量推定回路1211への利得可変増幅器の前の最終利得コードの出力線を全て書くと煩雑になるため、FGC(bf)として纏めて1本で表示してある。図13、14でも同様である。

#### 【0048】

次に図21に、図12における利得制御回路1210の概略構成を示す。ここでは、代表して利得可変回路121の利得を制御する最終利得コードについて説明し、利得可変回路123、125については、同様に行えばよいので図および説明を省略する。図21に示すように、利得制御回路1210は利得演算回路部G\_calcと利得補正回路部G\_compから構成される。

#### 【0049】

利得演算回路部G\_calcでは、レベル検出回路127の出力LVC127と利得可変回路121の目標レベル（すなわち、目標出力レベル）とから利得コードGC127を求める。すなわち、利得コードGC127 [dB] = 目標レベル - LVC127 [dB] の演算を行う。

#### 【0050】

利得補正回路G\_compは、利得コードGC127に対しフィルタ減衰量推定回路で求めたフィルタ122のフィルタ減衰量F\_ATT122により補正して利得可変回路121の最終利得コードFGC121を求める。すなわち、最終利得コードFGC121 [dB] = 利得コードGC127 [dB] + F\_ATT122 [dB] の演算を行う。

#### 【0051】

また、実施形態1の図19で示した利得制御回路のように、前段の利得制御情報INF\_ΔG1に基く補正を追加してもよい。

#### 【0052】

なお、本実施形態の構成を用いない従来構成の場合は、フィルタ122による信号レベルの減衰量を知ることができないので、妨害波の有無にかかわらず、利

得可変増幅器 121 の出力レベルが次段の利得可変増幅器 123 の入力ダイナミックレンジを越えないようにその利得を制御することになる。仮に、より多くの利得を持たせようとする、信号内に妨害波が含まれない場合はフィルタ 122 による信号レベルの減衰が無いので、次段の利得可変増幅器 123 の入力が増幅してしまうからである。

#### 【0053】

しかし、このような従来の制御方法では、信号中に妨害波が多く含まれる時は、妨害波の存在によって利得可変増幅器 121 の利得が抑制されてしまうので、フィルタ 122 を通過してくる希望波のレベルは小さくなり、雑音の影響を受けやすくなる。

#### 【0054】

本実施形態は、この問題を上記したように解消している。なお、以上ではフィルタ 122 の減衰量に関して特に説明したが、フィルタ 124 の減衰量に関して同様に検出することができる。

また、図 12 では利得可変増幅器 3 段、フィルタ 3 段の構成であるが、これらの段数は任意でよいことは言うまでもない。

#### 【0055】

本実施形態によれば、図 4 の実施形態と同様に各利得制御に関する情報を次段の利得制御回路に反映させて全体の利得収束時間が短縮でき、さらに、フィルタによる信号の減衰量を推定して、多段接続された各利得可変増幅器に入力される希望波と妨害波の合計が、入力ダイナミックレンジと等しくなるように制御することができる。

#### 【0056】

##### <実施形態 6>

図 13 に本発明の第 6 の実施形態を示す。本実施形態は、前述した図 12 の実施形態と同様な回路構成をとるが、フィルタ減衰量推定回路 1211 の代わりに妨害波減衰量推定回路 (PRE-LVD) 131 と妨害波減衰量記憶回路 (MD) とを有し、両回路 131、132 が待機モード期間時に動作する点が相違する。

#### 【0057】

通常の受信システムの場合、待機モード期間内に入力される信号は妨害波のみであるから、この期間を利用して妨害波減衰量推定回路 131 は、図 12 の実施形態と同様に各レベル検出回路のレベル検出結果を用いて妨害波の減衰量を推定する。

#### 【0058】

この妨害波減衰量推定回路 131 の構成は、図 20 で示したフィルタ減衰量推定回路 (PRE-LVF) 1211 と同じであり、出力が妨害波のフィルタ減衰量となるだけであるので構成図は省略する。妨害波減衰量記憶回路 (MD) 132 は、その推定結果を受信モード期間中保持する。妨害波減衰量記憶回路 (MD) 132 の構成を図 22 に示す。普通の CMOS クロックドラッチ LAT でよい。フィルタ 122, 124 による妨害波の減衰量  $F\_ATT122$ 、 $F\_ATT124$  を待機モード終了直前にラッチに書き込み、受信時に保持したフィルタ減衰量  $ATT122$ 、 $ATT124$  が利得制御回路 1210 へ伝送され、図 21 と同様の処理が行われる。なお、図 22 の信号 CLK は、図面には未記載のタイミング生成回路から供給され、例えば待機モード終了直前に立ち上がりパルスを出し、ラッチへの書き込みを行う。なお、本実施形態は、受信モード期間中の妨害波レベルが希望波レベルに比べて十分大きい時に有効である。

#### 【0059】

これにより、図 12 の実施形態と同様に、利得可変増幅器の利得制御に関する情報を次段の利得制御回路に反映させて全体の利得収束時間が短縮でき、さらに、妨害波減衰量記憶回路 132 の妨害波レベルから入力信号の妨害波と希望波レベルを予測して、多段接続された各利得可変増幅器に入力される希望波と妨害波の合計が、入力ダイナミックレンジと等しくなるように制御することができる。なお、妨害波減衰量推定回路 131 および妨害波減衰量記憶回路 132 は、待機モードであるか受信モードであるか判断するための信号を、通常ベースバンド処理部から受けることができる。

#### 【0060】

##### <実施形態 7>

図 14 に本発明の第 7 の実施形態を示す。本実施形態は、図 8 の構成における

利得可変回路 84 として、図 12 に示した回路構成を採用した場合の例である。

【0061】

このような構成とすることにより、高速の利得制御ができ、かつ、妨害波存在時にも従来よりも雑音の影響を受けにくい利得制御を実現できる。

【0062】

なお、実施形態 1～7 で述べた回路は、例えば 0.18  $\mu$ m、2V 耐圧の CMOS 低電圧プロセスを用いて実現することができる。

【0063】

また、実施形態 1～7 における各種のタイミング制御は、図には未記載のタイミング生成回路からの各クロック信号を用いて行うことができる。

【0064】

以上、本発明の好適な実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。

【0065】

【発明の効果】

前述した実施形態から明らかなように、本発明によれば、利得可変回路およびその利得制御回路が多段に接続された構成において、従来よりも短期間で全体の利得制御を収束させることができる。

【0066】

また、利得可変低雑音増幅器および利得可変低周波回路を含む受信回路において、従来よりも短期間で全体の利得制御を収束させ、安定したデータ受信を提供することができる。

【0067】

さらに、入力信号に含まれる妨害波が大きい時に、従来よりも雑音の影響を受けにくい利得制御を行うことができる。

【図面の簡単な説明】

【図 1】

従来の一般的な無線受信機の回路構成例を示すブロック図。

## 【図 2】

無線通信で使用する典型的な入力信号波形図。

## 【図 3】

従来の利得制御回路の構成例を示すブロック回路図。

## 【図 4】

本発明の第 1 の実施形態を示すブロック回路図。

## 【図 5】

図 4 において利得可変回路が 2 段で、かつ各利得可変回路が単純な 1 段の利得可変増幅器で構成される場合のブロック回路図。

## 【図 6】

図 5 の回路で従来の利得制御を用いた場合の利得制御の収束状態を示す図。

## 【図 7】

図 5 の回路で本発明の利得制御を用いた場合の利得制御の収束状態を示す図。

## 【図 8】

本発明の第 2 の実施形態を示すブロック回路図。

## 【図 9】

本発明の第 3 の実施形態を示すブロック回路図。

## 【図 1 0】

図 9 に示した構成例の変形例を示すブロック回路図。

## 【図 1 1】

本発明の第 4 の実施形態を示すブロック回路図。

## 【図 1 2】

本発明の第 5 の実施形態を示すブロック回路図。

## 【図 1 3】

本発明の第 6 の実施形態を示すブロック回路図。

## 【図 1 4】

本発明の第 7 の実施形態を示すブロック回路図。

## 【図 1 5】

レベル検出回路の構成例を示す図。

**【図 16】**

ピークホールド回路の概略構成を示す図。

**【図 17】**

図 16 中に点線で示した部分の詳細回路を示す図。

**【図 18】**

比較器の構成例を示す図。

**【図 19】**

図 4 の利得制御回路 (GCTL) の構成例を示す図。

**【図 20】**

フィルタ減衰量推定回路の構成例を示す図。

**【図 21】**

図 12 における利得制御回路の概略構成を示す図。

**【図 22】**

妨害波減衰量記憶回路の構成例を示す図。

**【符号の説明】**

1…アンテナ、2…利得可変低雑音増幅器、3…局部発振回路 (OSC)、4…ミキサ、5, 7, 9…利得可変増幅器、6, 8…フィルタ (F)、10…AD変換器 (AD)、11…復調器 (DEM)、31…低雑音増幅器、32…ミキサ、33…局部発振信号、34…利得可変増幅器、35…制御回路、41～43…利得可変回路 (VGA)、44～46…レベル検出回路 (LV)、47～49…利得制御回路 (GCTL)、51, 52…利得可変増幅器、81…利得可変低雑音増幅器、82…ミキサ、83…局部発振回路、84…利得可変回路、91, 93…利得可変増幅器、92…フィルタ、94, 95…レベル検出回路、111…フィルタ、112, 113…利得可変増幅器、114…AD変換器、121, 123, 125…利得可変増幅器、122, 124, 126…フィルタ、127～129…レベル検出回路、1210…利得制御回路、1211…フィルタ減衰量推定回路 (PRE-LVF)、131…妨害波減衰量推定回路 (PRE-LVD)、132…妨害波減衰量記憶回路 (MD)、G1, G2…利得、C…ホールド容量、CMP…比較器、DEC…デコーダ、GC…利得コード、FGC…最終利得コード、G\_calc…利得演算回路部、G\_comp

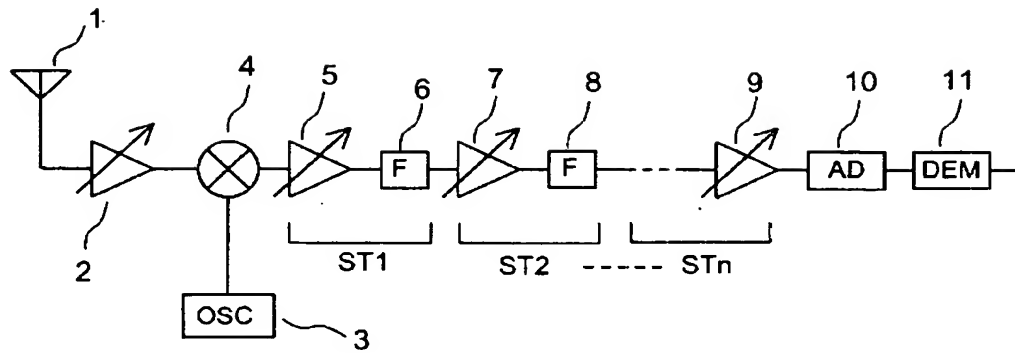


…利得補正回路、LVC…レベルコード、Is…MOS電流源、INF\_ΔG1…前段の利得制御情報、INF\_ΔG2…利得制御情報、F\_ATT\_calc1, F\_ATT\_calc2…フィルタ減衰量演算部、PH…ピークホールド回路、SBT…引算回路部。

【書類名】 図面

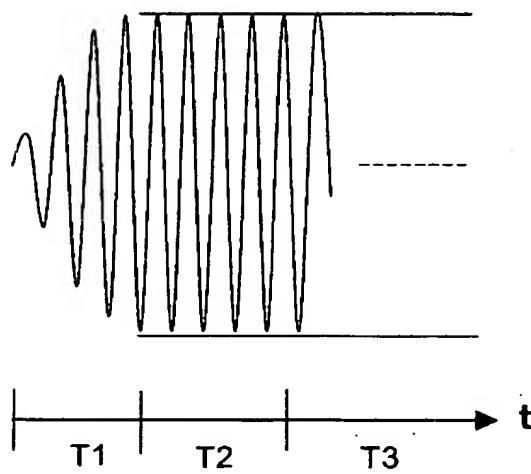
【図 1】

図 1



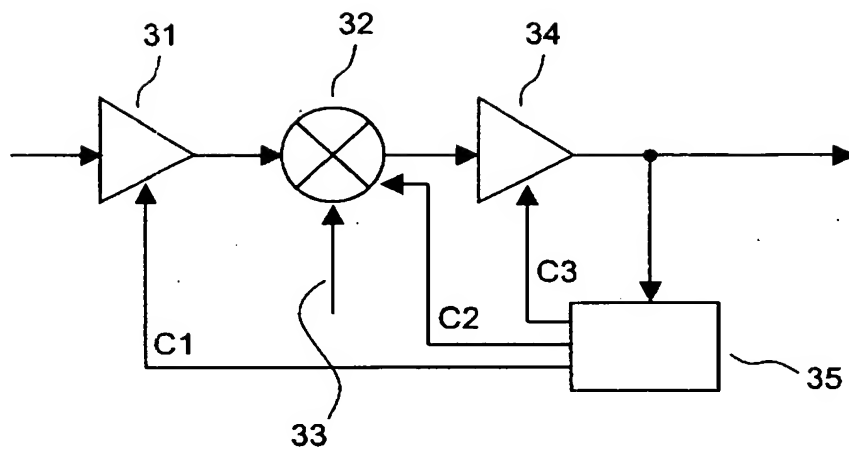
【図 2】

図 2



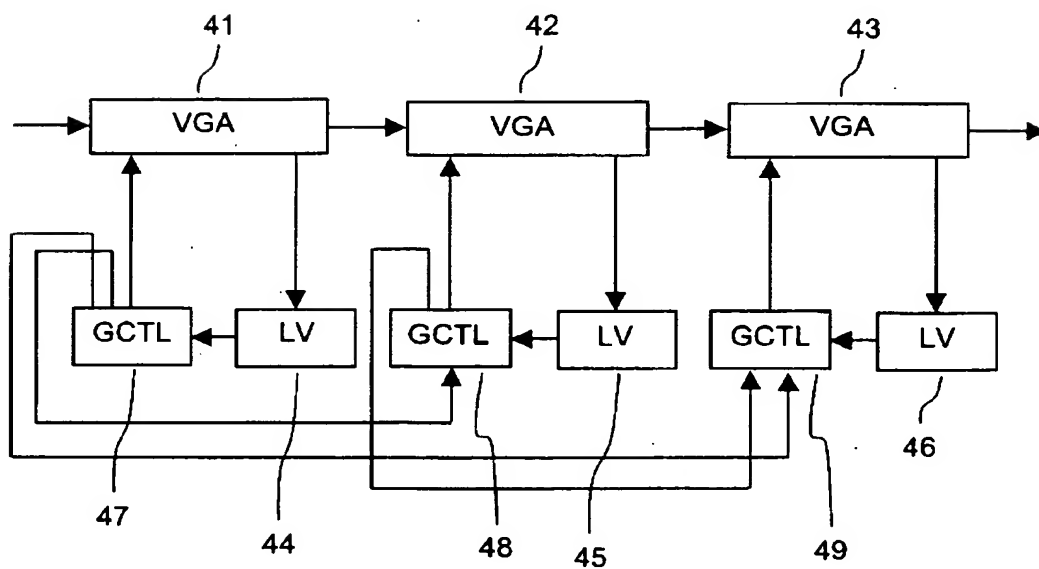
【図 3】

図 3



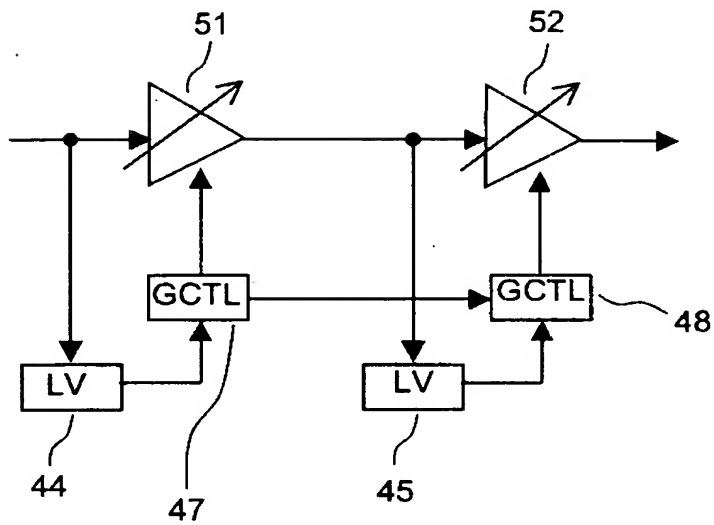
【図 4】

図 4



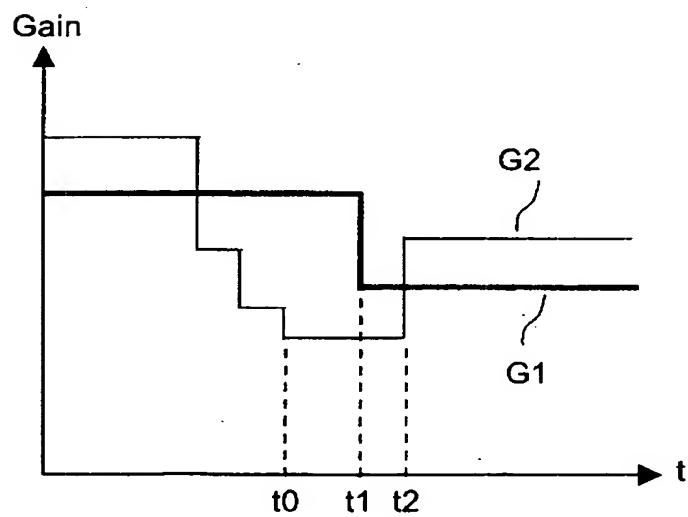
【図 5】

図 5



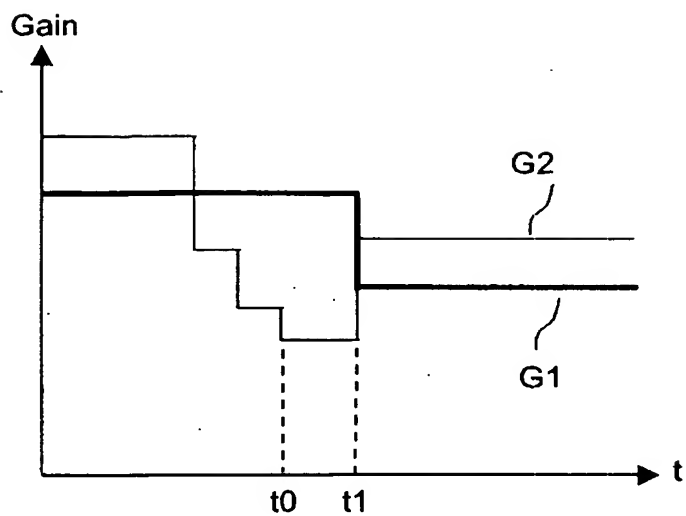
【図 6】

図 6



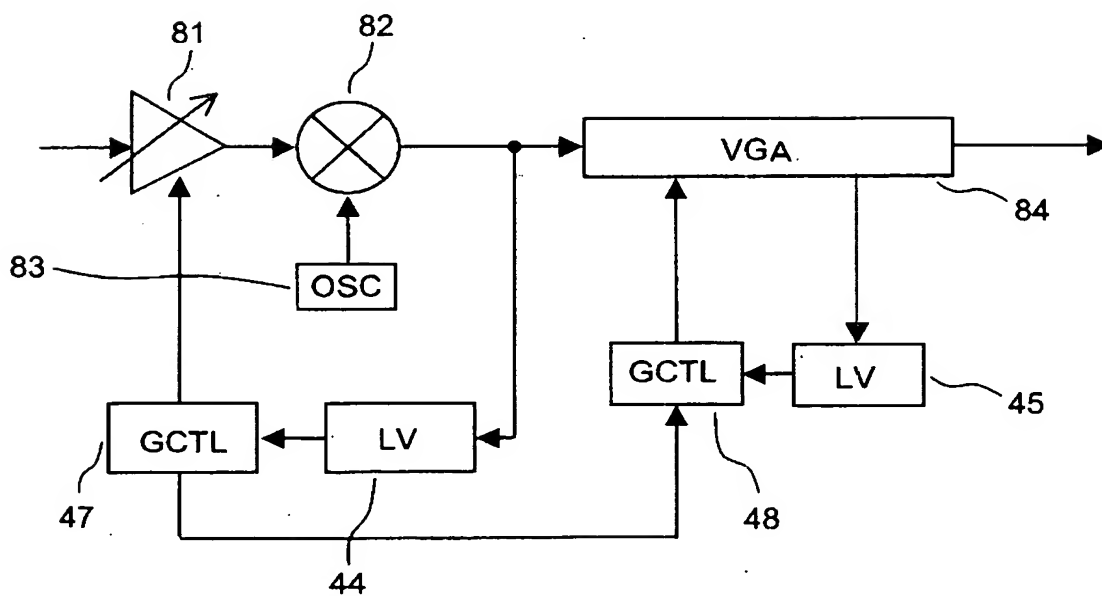
【図 7】

図 7



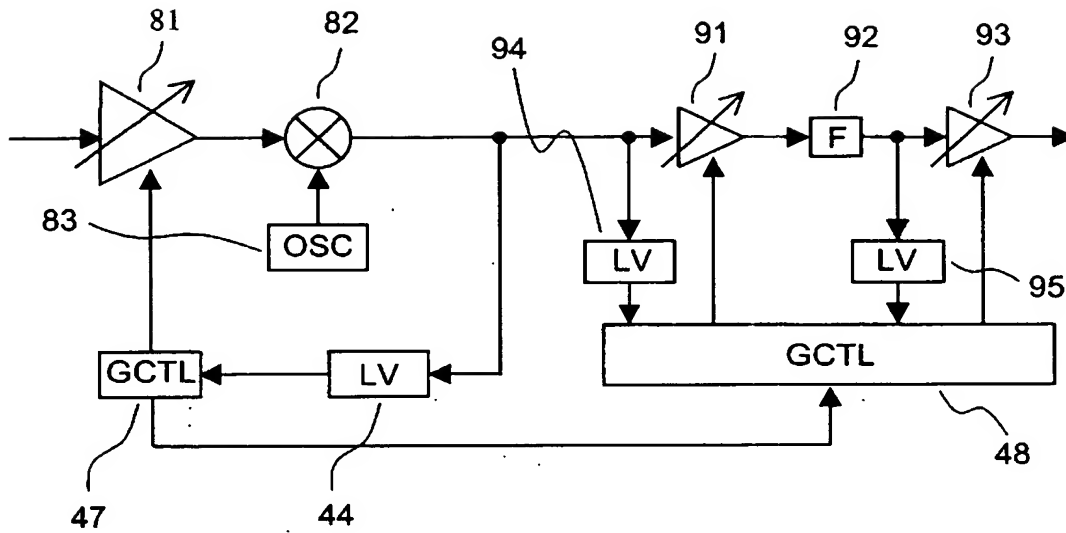
【図 8】

図 8



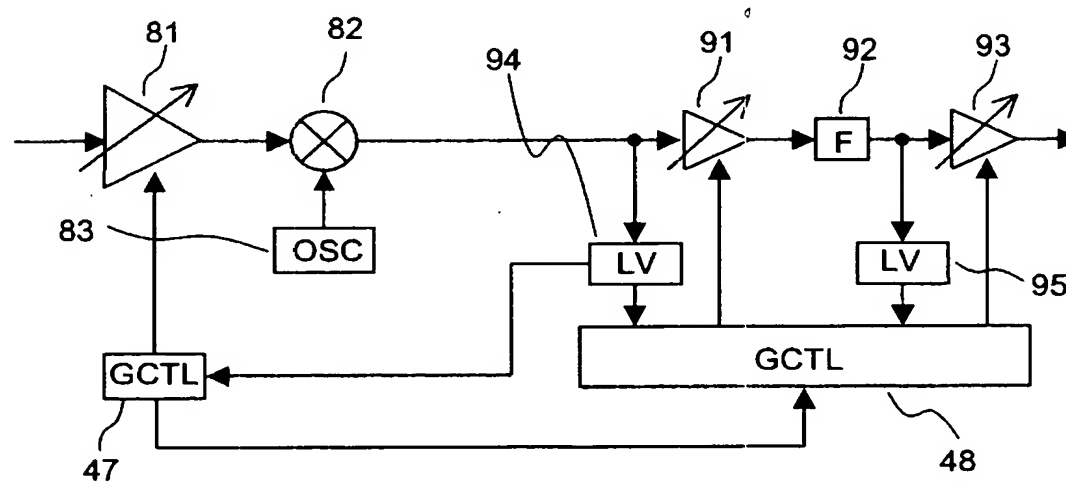
【図 9】

図 9



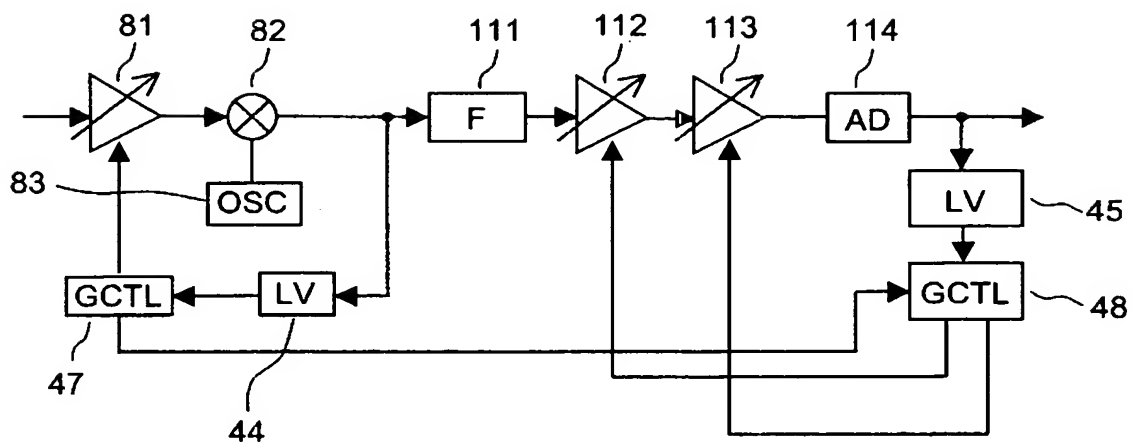
【図 10】

図 10



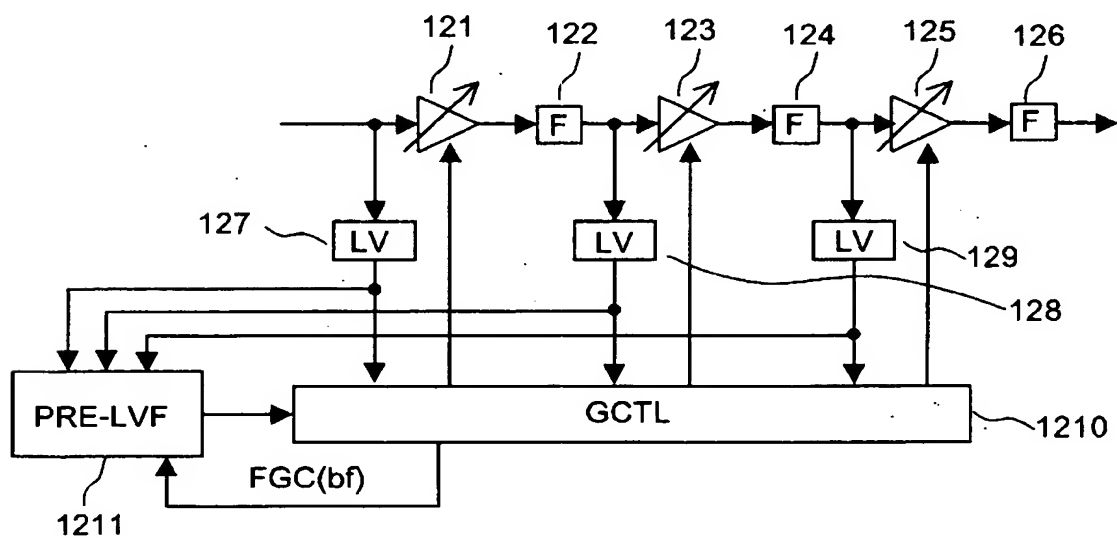
【図 11】

図 11



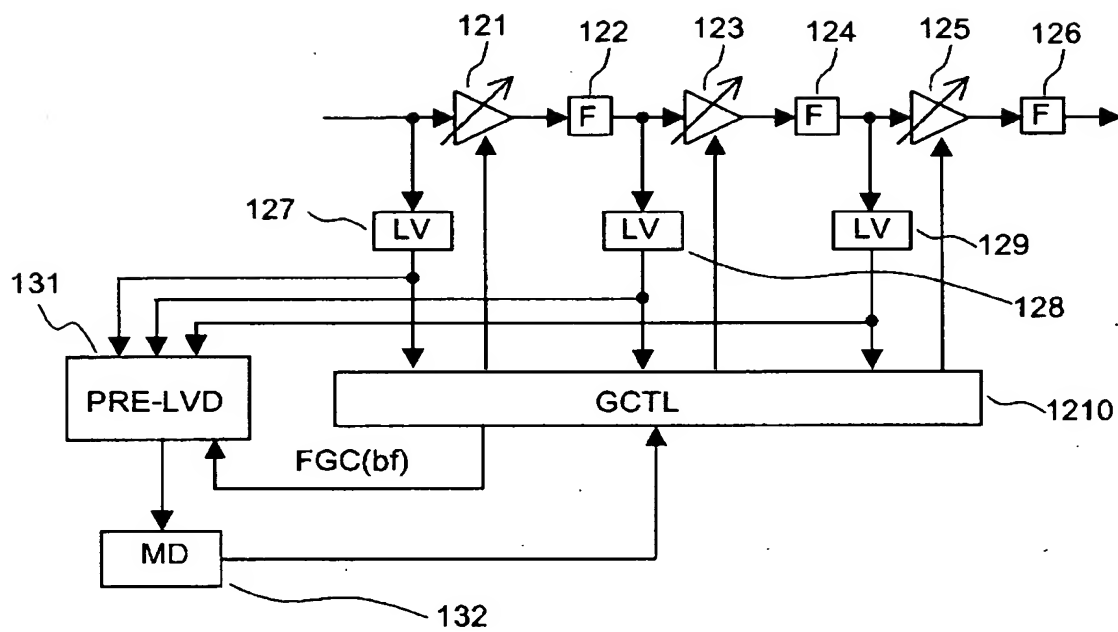
【図 12】

図 12



【図 13】

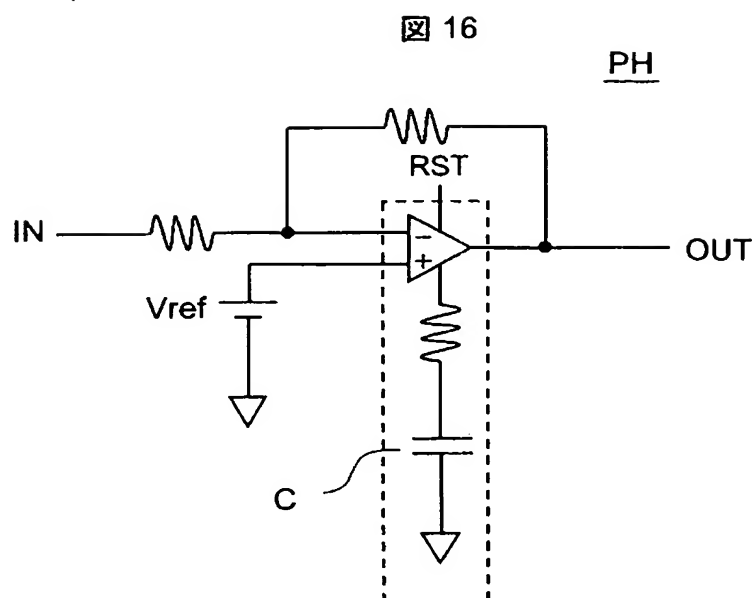
図 13





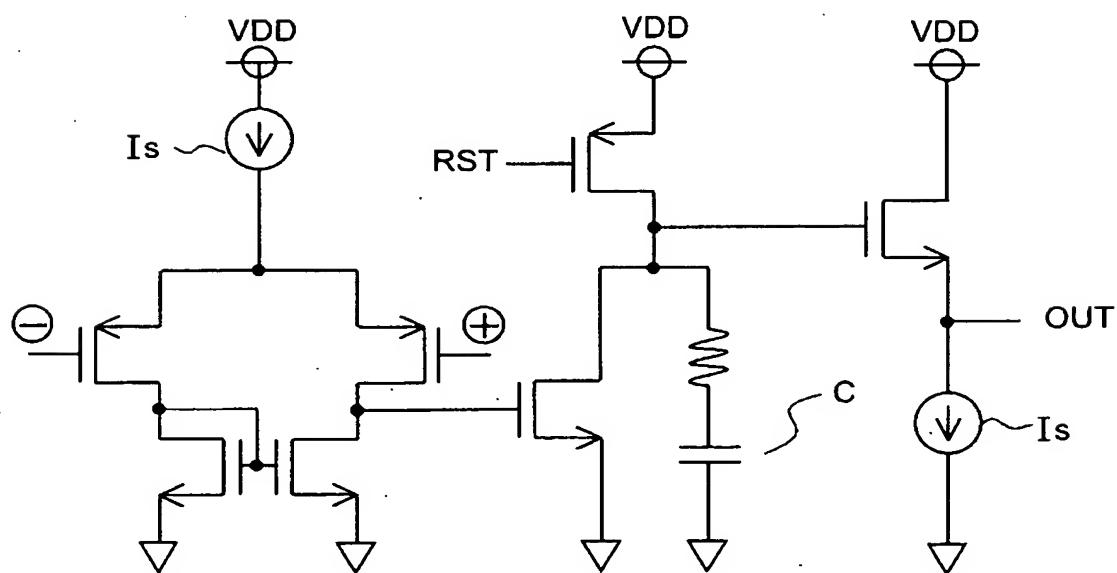


【図 16】



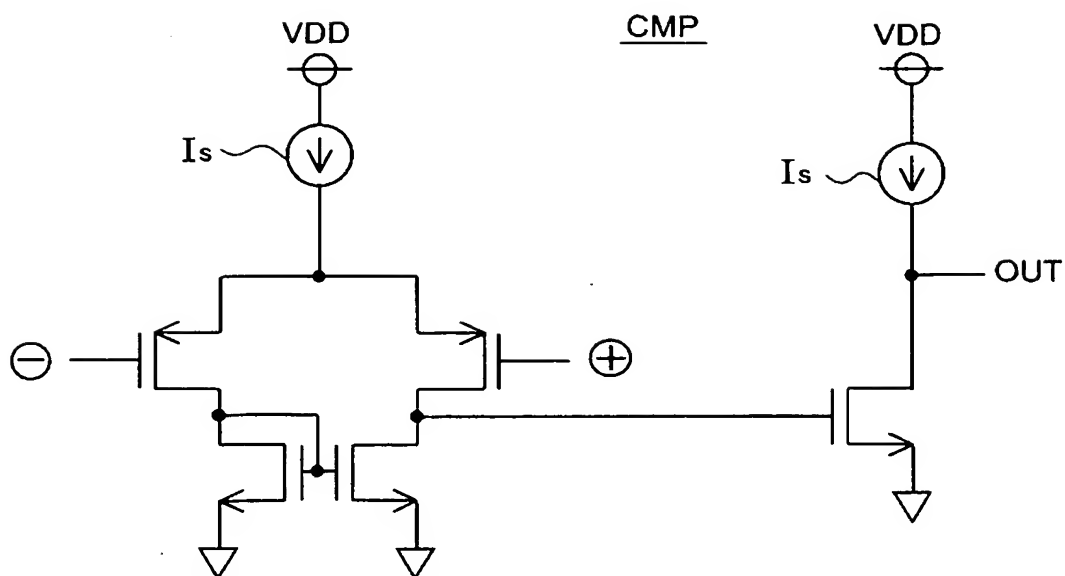
【図 17】

図 17



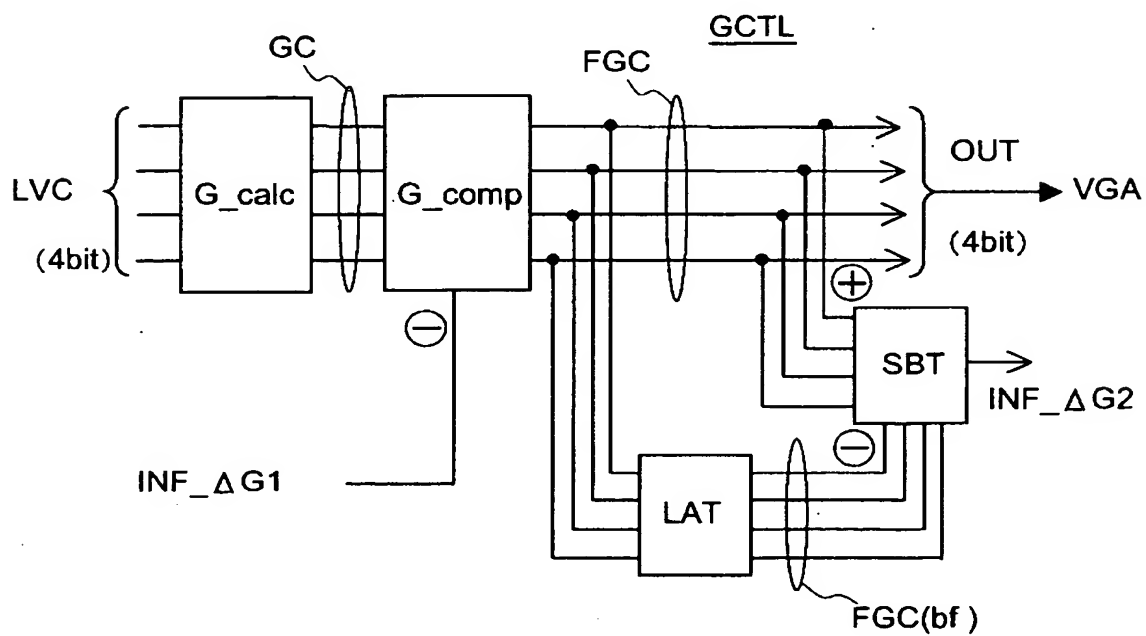
【図 18】

图 18

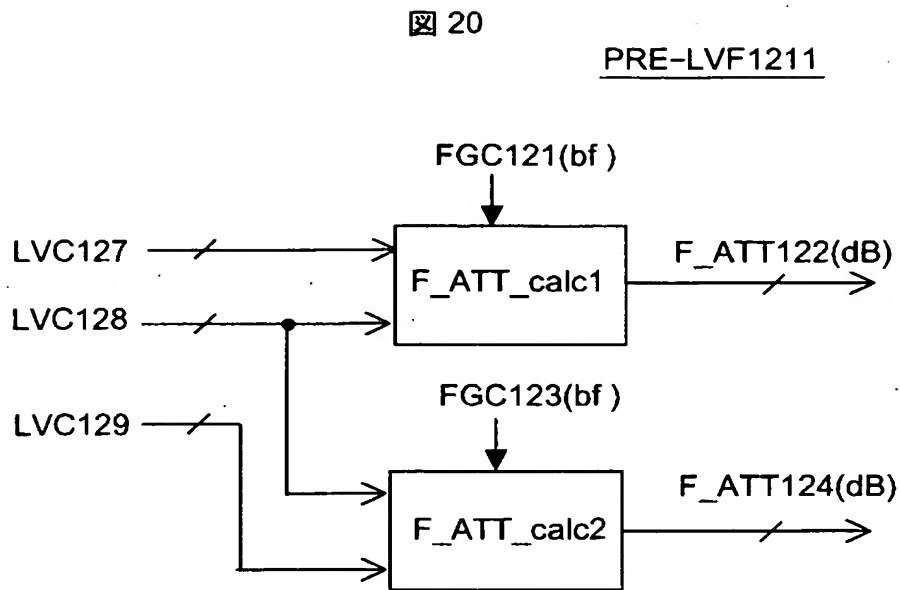


【図 19】

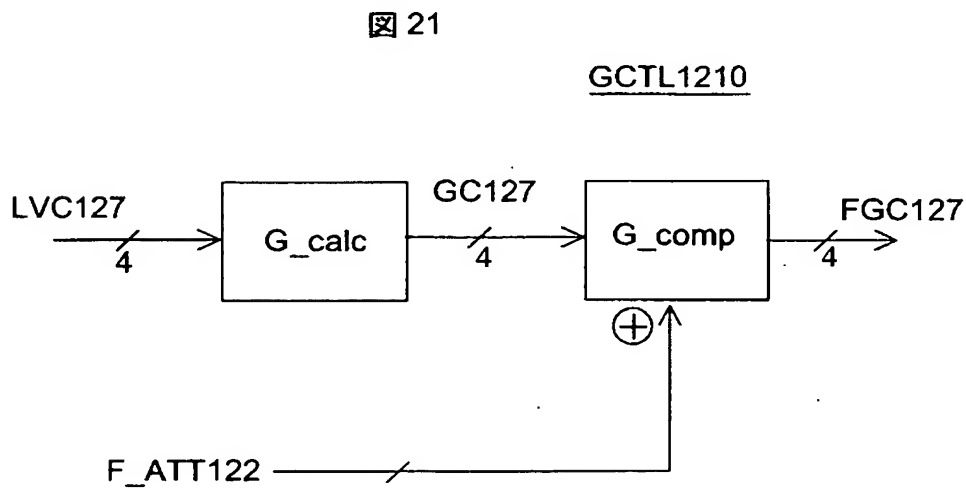
图 19



【図 20】

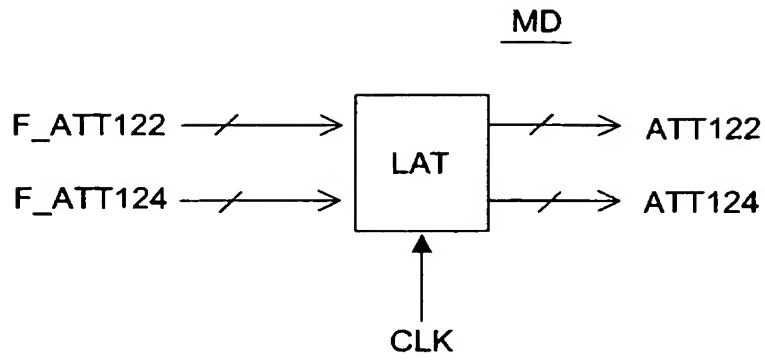


【図 21】



【図 22】

図 22



【書類名】 要約書

【要約】

【課題】 複数の利得可変回路 V G A の各利得を高速に制御する。

【解決手段】 各利得制御回路 G C T L は、その前段に存在する他の利得制御回路から得た利得制御に関する情報と自身のレベル検出回路 L V のレベル検出結果とに基づいて、自らの設定すべき利得を決定する構成とすることにより、利得制御を全体として高速に収束させる。

【効果】 受信準備期間の短い受信システムにおいても期間内に所望の利得制御を実現し、安定したデータ受信を行うことができる。

【選択図】 図 4

特願 2 0 0 3 - 1 0 8 7 2 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所